

PAT-NO: JP358075920A
DOCUMENT-IDENTIFIER: JP 58075920 A
TITLE: A/D CONVERTER CIRCUIT
PUBN-DATE: May 7, 1983
INVENTOR-INFORMATION:
NAME
WAKITA, TOSHIAKI
ASSIGNEE-INFORMATION:
NAME COUNTRY
SONY CORP N/A
APPL-NO: JP56174167
APPL-DATE: October 30, 1981
INT-CL (IPC): H03K013/17

ABSTRACT:

PURPOSE: To evade the influence of an error of an A/D converter for high-order digit bits by decreasing the dynamic range of said A/D converter in accordance with the precision of conversion by the A/D converter.

CONSTITUTION: An analog input voltage V_{in} is supplied to an (m)-bit A/D converter 11 having ≤ 2 LSB precision of final digital output, and a code converter 17 converts the code into a value Q_{17} matched with the dynamic range of the A/D converter 11; and the output of a D/A converter 12 is subtracted from the input voltage V_{in} by a subtracting circuit 13, whose output is digitized into Q_{14} through an (n)-bit A/D converter 14. Then, an adding circuit 16 performs addition to generate an output Q_{16} . The LSB of the (m)-bit A/D converter 11 is set less than the dynamic range of the A/D converter by 4LSB of final digital output, and an error of the converter 11 is corrected by the A/D converter 14.

COPYRIGHT: (C)1983,JPO&Japio

⑤ Int. Cl.³
H 03 K 13/17識別記号
1 0 1庁内整理番号
7530—5 J

④ 公開 昭和58年(1983)5月7日

発明の数 1
審査請求 未請求

(全 4 頁)

⑭ A/Dコンバータ回路

⑯ 特 願 昭56—174167

⑰ 出 願 昭56(1981)10月30日

⑱ 発 明 者 脇田俊昭

厚木市旭町4丁目14番1号ソニ

—株式会社厚木工場内

⑲ 出 願 人 ソニー株式会社

東京都品川区北品川6丁目7番
35号

⑳ 代 理 人 弁理士 伊藤貞 外1名

明 細 書

発明の名称 A/Dコンバータ回路

特許請求の範囲

アナログ入力電圧を第1のA/Dコンバータによりmビットのデジタル信号に変換し、このデジタル信号をコード変換したデジタル信号をD/Aコンバータによりアナログ電圧に変換し、このアナログ電圧と上記アナログ入力電圧との差電圧を第2のA/Dコンバータによりnビットのデジタル信号に変換し、このnビットのデジタル信号と上記コード変換されたデジタル信号とを加算して上記アナログ入力電圧に対応する(m+n)ビットのデジタル信号を得るようにしたA/Dコンバータ回路。

発明の詳細な説明

例えば輝度信号をA/D変換するとき使用される直並列型のA/Dコンバータは、例えば第1図に示すように構成されている。

すなわち、第1図のコンバータは8ビットのA/D変換を行う場合であるが、アナログ入力電圧 V_{in}

が例えば3ビットのA/Dコンバータ(1)に供給されて上位3ビットのデジタル出力 $D_7 \sim D_5$ が取り出される。そして、この3ビット $D_7 \sim D_5$ がD/Aコンバータ(2)に供給されてアナログ電圧 V_m に変換され、この電圧 V_m と入力電圧 V_{in} とが減算回路(3)に供給されて差電圧 $V_s = V_{in} - V_m$ が取り出され、この電圧 V_s が5ビットのA/Dコンバータ(4)に供給されて下位5ビットのデジタル出力 $D_4 \sim D_0$ が取り出される。そして、出力 $D_7 \sim D_5, D_4 \sim D_0$ がラッチ(5)を通じて8ビットのA/D変換出力として取り出される。

この直並列型のA/Dコンバータでは、入力電圧 V_{in} を(m+n)ビットのデジタル出力に変換する場合でも、A/Dコンバータ(1)、(4)において必要とされる電圧比較回路は($2^m + 2^n - 2$)個でよく、従つて、IC化した場合チップサイズを小さくできると共に、消費電力を少なくできるという長所がある。

しかし、この直並列型のA/Dコンバータでは、上位ビットのコンバータ(1)に下位ビットのコンバ

ータ(4)の精度が必要とされてしまう。

すなわち、例えばデジタル値 $D_7 \sim D_0$ が「31」の大きさから「1」だけ増加すると、「32」の大きさになるが、このとき、ビット $D_4 \sim D_0$ は「11111」から「00000」になり、ビット $D_7 \sim D_6$ は「000」から「001」になる。従つて、第1図のコンバータにおいても、入力電圧 V_{in} が「31」の大きさから「32」の大きさになるときにコンバータ(1)の出力 $D_7 \sim D_6$ は「000」から「001」に「1」だけ増加しなければならない。例えば、入力電圧 V_{in} が「28」の大きさから「29」の大きさになるときにコンバータ(1)の出力 $D_7 \sim D_6$ が「000」から「001」に増加すると、これは誤りである。

そして、このことは、入力電圧 V_{in} が「31」の大きさから「32」の大きさに増加するときだけでなく「63」の大きさから「64」の大きさに増加するときなど、ビット $D_4 \sim D_0$ からビット $D_7 \sim D_6$ に桁上げがあるときには同様であり、さらに、入力電圧 V_{in} が減少してビット $D_7 \sim D_6$ からビット $D_4 \sim D_0$ に桁下げがあるときにも同様である。

(3)

のA/D変換ができるのに8ビット(256ステップ)のA/D変換しか行わないことになり、半分が無駄となつてしまう。

この発明は、これら直並列型のA/Dコンバータの欠点を一掃しようとするものである。

以下その一例について説明しよう。

第3図において、アナログ入力電圧 V_{in} が例えば3ビットのA/Dコンバータ(1)に供給されて3ビットのデジタル値 Q_{11} に変換される。なお、このコンバータ(1)の変換の精度(変換時のばらつき)は、最終的なデジタル出力 $D_7 \sim D_0$ の $\pm 2LSB$ 以内であり、下位5ビット $D_4 \sim D_0$ の「28」が信号 Q_{11} の「1」に対応するものとする。

そして、この信号 Q_{11} が例えばROMにより構成されたコードコンバータ(2)に供給されて第4図に示すように28倍のデジタル値 Q_{17} (これは8ビットである)に変換され、この信号 Q_{17} がD/Aコンバータ(3)に供給されてアナログ電圧 V_{12} に変換され、この電圧 V_{12} が減算回路(4)に供給されると共に、入力電圧 V_{in} が減算回路(4)に供給されて

(5)

従つて、コンバータ(1)は3ビットのA/Dコンバータであるにもかかわらずコンバータ(4)と同じ5ビットの精度が必要とされる。

そして、コンバータ(1)にそのような精度がないときには、上述したような誤りのため、出力 $D_7 \sim D_0$ は、ビット $D_7 \sim D_6$ と $D_4 \sim D_0$ とのつなぎ目で単調変化しなくなつてしまう。

そこで、このコンバータ(1)の精度を補償したA/Dコンバータとして第2図に示すようなコンバータが考えられている。すなわち、コンバータ(4)には冗長ビットが付加されて6ビットとされ、その6ビットの出力 $D_5 \sim D_0$ と、コンバータ(1)の出力 $D_7 \sim D_6$ とが加算回路(6)においてビット D_5 の桁が一致するように加算される。

このようなコンバータによれば、コンバータ(1)の精度が悪くても、加算回路(6)から正しいデジタル出力 $D_7 \sim D_0$ を得ることができる(理由は省略する)。

しかし、このコンバータでは冗長ビットを付加しているので、本来は9ビット(512ステップ)

(4)

差電圧 $V_{13} = V_{in} - V_{12}$ が取り出される。

そして、この電圧 V_{13} が例えば5ビットのA/Dコンバータ(4)に供給されて5ビットのデジタル値 Q_{14} に変換され、この信号 Q_{14} が加算回路(6)に供給されると共に、コンバータ(1)からの信号 Q_{17} が加算回路(6)に供給されて8ビットの加算信号 $Q_{16} = Q_{14} + Q_{17}$ が取り出される。

このような構成によれば、出力信号 Q_{16} は、

$$\begin{aligned} Q_{16} &= Q_{14} + Q_{17} \\ &= V_{13} + Q_{17} \\ &= (V_{in} - V_{12}) + Q_{17} \\ &= V_{in} - Q_{17} + Q_{17} \\ &= V_{in} \end{aligned}$$

となり、この信号 Q_{16} は入力電圧 V_{in} のA/D変換出力である。

すなわち、第5図において、A/Dコンバータ(1)の出力信号 Q_{11} には、常に $\pm 2LSB$ のばらつきがあり、信号 Q_{11} が完全に次または前の値に移るには、4LSBの幅が必要になり、入力電圧 V_{in} がこの4LSBの区間にあるときは、信号 Q_{11} の値は次

(6)

または前の値のどちらになるかは不明である。

そして、コンバータ00の出力信号 Q_{17} は、信号 Q_{11} を単にコード変換しただけであるから Q_{17} も入力電圧 V_{in} に対して同じような不確定幅を有し、さらに信号 Q_{17} をD/A変換した電圧 V_{12} も同様である。

従つて、減算回路03からの差電圧 $V_{13}=V_{in}-V_{12}$ は、入力電圧 V_{in} に対して鋸歯状に変化すると共に、その段差部分にやはり4LSBの不確定幅を有する。

そして、この電圧 V_{13} がA/D変換された信号 Q_{14} と、信号 Q_{17} とが加算されて出力信号 Q_{16} とされるのであるから、信号 Q_{16} においては、4LSBの不確定幅は相殺され、信号 Q_{16} には誤差が含まれない。

こうして、この発明によれば、上位ビット用のA/Dコンバータ01に誤差があつても、その影響を受けることがない。また、第2図のA/Dコンバータのような冗長ビットも不要であり、能率がよい。

なお、この場合、ダイナミックレンジは、

$$28 \times 8 + 2 + 2 = 228 \text{ ステップ}$$

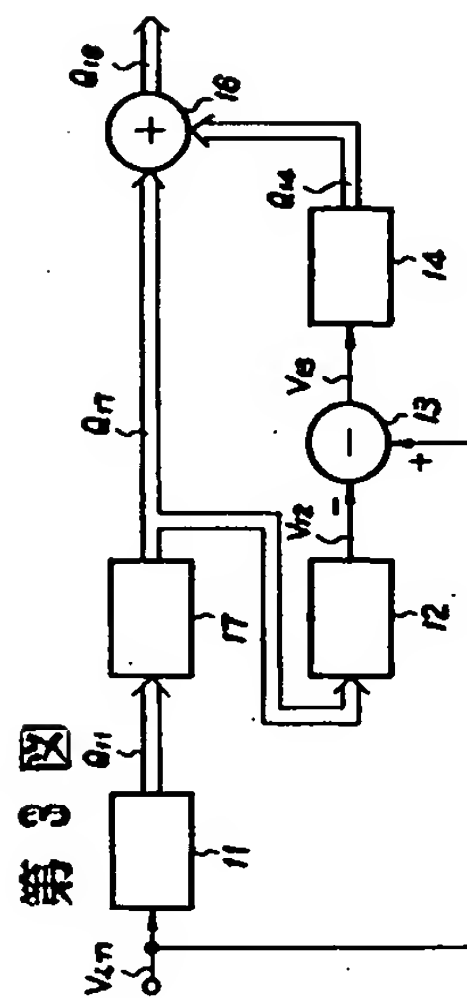
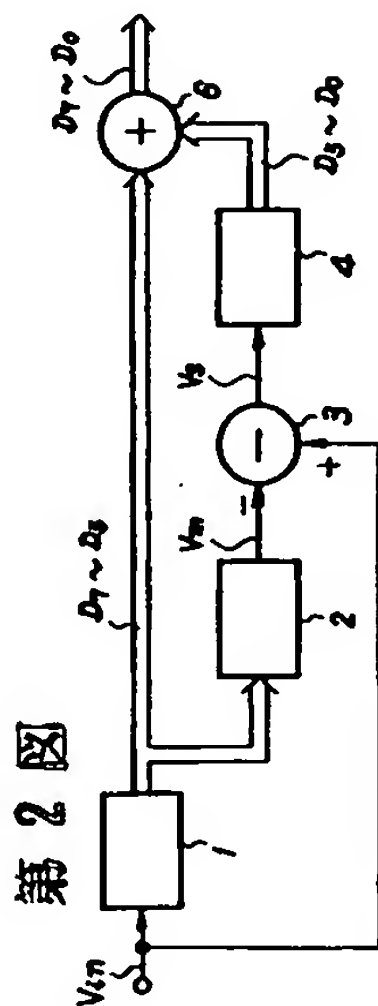
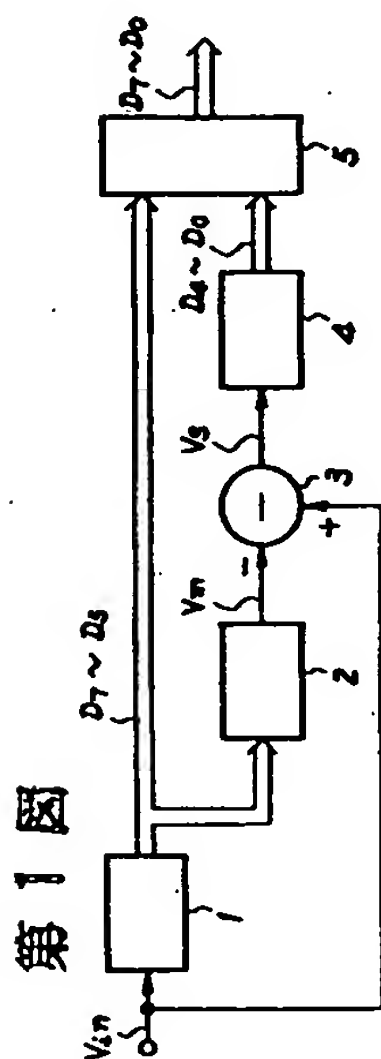
となり、8ビット本来の値256ステップよりも狭くなるが、例えば輝度信号をA/D変換するときには、さらに狭いダイナミックレンジでよく、上記228ステップで充分である。もし、256ステップが必要ならば、A/Dコンバータ01としてオーバーレンジ出力のあるものを使用すればよい。

なお、上述の例においては、入力電圧 V_{in} が「0」～「227」のデジタル信号 Q_{16} に変換されるが、例えば $Q_{17}=Q_{11} \times 8 + 16$ とすれば、信号 Q_{16} は「16」～「243」となり、信号 Q_{16} の上側及び下側に冗長を分配させることができる。

図面の簡単な説明

第1図、第2図、第4図、第5図はこの発明を説明するための図、第3図はこの発明の一例の系統図である。

01、04はA/Dコンバータ、02はD/Aコンバータ、00はコードコンバータである。



第4図

Q_{11}	0	1	2	3	4	5	6	7
Q_{16}	0	28	56	84	112	140	168	196

